

PAT-NO: JP02000216400A

DOCUMENT-IDENTIFIER: JP 2000216400 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE AND ITS MANUFACTURE

PUBN-DATE: August 4, 2000

INVENTOR-INFORMATION:

NAME

YOSHIDA, YOSHIFUMI

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTRUMENTS INC

COUNTRY

N/A

APPL-NO: JP11328986

APPL-DATE: November 19, 1999

INT-CL (IPC): H01L029/786, H01L027/04 , H01L021/822 ,
H01L021/8234
, H01L027/088

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device, whose electrostatic breakdown and Jules thermal breakdown are prevented by a method, wherein an electric charge which flows into the channel region of an electrostatic protective transistor is made to flow into a substrate contact.

SOLUTION: A gate electrode 6, a source region 7, a drain region 8, a channel

region 3, a connecting region 15, a substrate contact 4 and a substrate-
connecting-region contact 5 constitute an electrostatic protective transistor which is formed on an SOI film 19 on a substrate 1. The substrate contact 4 passes through a semiconductor film 14 and an insulating film 2 on the substrate 1, so as to be connected to the substrate 1. The substrate-connection- region contact 5 connects the channel region 3 to the substrate 1.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216400

(P2000-216400A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 2 3 A
27/04		27/04	H
21/822		27/08	1 0 2 F
21/8234		29/78	6 2 6 C
27/088			

審査請求 未請求 請求項の数12 O L (全 13 頁)

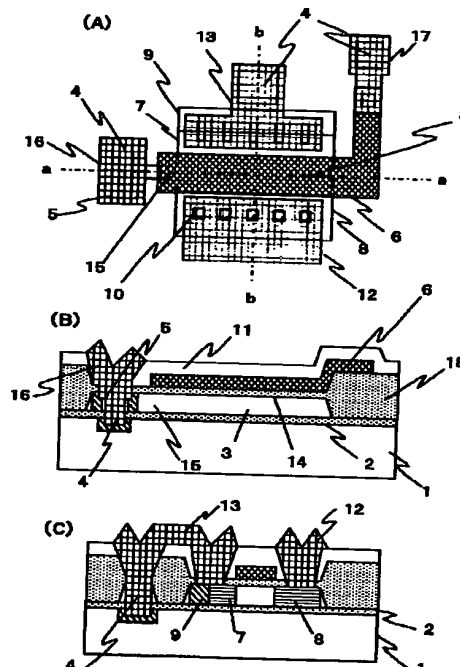
(21) 出願番号	特願平11-328986	(71) 出願人	000002325 セイコーインスツルメンツ株式会社 千葉県千葉市美浜区中瀬1丁目8番地
(22) 出願日	平成11年11月19日 (1999. 11. 19)	(72) 発明者	吉田 宜史 千葉県千葉市美浜区中瀬1丁目8番地 株 式会社エスアイアイ・アールディセンター 内
(31) 優先権主張番号	特願平10-331690	(74) 代理人	100096286 弁理士 林 敬之助
(32) 優先日	平成10年11月20日 (1998. 11. 20)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体集積回路及びその製造方法

(57) 【要約】

【課題】 従来、絶縁膜上のSOI膜の厚みが薄いSOIウェハでは、チャネル領域が非常に小さいため、電荷を受け入れるキャパシタが少なく、ソースに電荷を受け渡す前に静電破壊やジュール熱破壊にいたってしまうという課題がある。

【解決手段】 基板1の上のSOI膜19に形成された静電保護トランジスタが、ゲート電極6、ソース領域7及びドレイン領域8、チャネル領域3、接続領域15、基板コンタクト4、基板接続領域コンタクト5から構成され、基板コンタクト4は、半導体膜14、基板1上の絶縁膜2を貫通して基板1と接続され、基板接続領域コンタクト5はチャネル領域3と基板1を接続している。



【特許請求の範囲】

【請求項1】 基板上のSOI膜上に、CMOSトランジスタと静電保護トランジスタが形成された半導体集積回路であって、

前記静電保護トランジスタが、ソース領域と、ドレイン領域と、チャネル領域と、前記チャネル領域の上にゲート酸化膜を介して設けられたゲート電極と、前記SOI膜を貫通し前記基板の一部に達する基板コンタクトと、前記チャネル領域と前記基板コンタクトを接続する基板接続領域コンタクトと、前記基板コンタクトと前記基板接続領域コンタクトに設けられるとともに、前記チャネル領域と前記基板とを電気的に接続する配線と、を備えることを特徴とする半導体集積回路。

【請求項2】 前記基板コンタクトが設けられた部位の基板表面に形成されるとともに、前記基板より抵抗の低い低抵抗接続領域と、前記基板接続領域コンタクトが設けられた部位のSOI膜に形成されるとともに、前記SOI膜より抵抗の低い低抵抗接続領域と、のうち少なくとも一方の低抵抗接続領域を備えることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記基板接続領域コンタクトが前記基板コンタクトを囲み、かつ、前記基板コンタクトを含む配置であることを特徴とする請求項1または2に記載の半導体集積回路。

【請求項4】 前記基板コンタクト及び前記基板接続領域コンタクトが、前記ソース領域または前記ドレイン領域に隣接し、かつ、前記ゲート電極に隣接して形成されることを特徴とする請求項1～3のいずれか1項に記載の半導体集積回路。

【請求項5】 前記静電保護トランジスタが前記チャネル領域と同じSOI膜で形成された接続領域を備えるとともに、前記接続領域の上にはゲート酸化膜が形成され、前記ゲート酸化膜上の一部のみにゲート電極が形成されたことを特徴とする請求項1～4のいずれか1項に記載の半導体集積回路。

【請求項6】 前記静電保護トランジスタが、前記ゲート電極上に設けられた層間絶縁膜と、前記ソース領域の上部に設けられるとともに、前記層間絶縁膜と前記ゲート酸化膜を貫通する配線コンタクトホールと、前記層間絶縁膜と前記SOI膜を貫通し前記基板の一部に達する第2の基板コンタクトと、前記配線コンタクトホールと前記第2の基板コンタクトに設けられるとともに、前記ソース領域と前記基板とを電気的に接続する第2の配線と、を備えることを特徴とする請求項1～5のいずれか1項に記載の半導体集積回路。

【請求項7】 基板の上のSOI膜上に、CMOSトランジスタと静電保護トランジスタが形成された半導体集積回路であって、

前記静電保護トランジスタが、ソース領域と、ドレイン領域と、チャネル領域と、前記チャネル領域の上にゲ

ート酸化膜を介して設けられたゲート電極と、前記ゲート電極上に設けられた層間絶縁膜と、前記ソース領域の上部に設けられるとともに、前記層間絶縁膜と前記ゲート酸化膜を貫通する配線コンタクトホールと、前記層間絶縁膜と前記SOI膜を貫通し前記基板の一部に達する基板コンタクトと、前記配線コンタクトホールと前記基板コンタクトに設けられるとともに前記ソース領域と前記基板とを電気的に接続する配線と、を備えることを特徴とする半導体集積回路。

10 【請求項8】 前記静電保護トランジスタが前記ソース領域と隣接して設けられた接地領域を備えるとともに、前記配線コンタクトホールが前記ソース領域と前記接地領域の上部に設けられ、前記配線が前記ソース領域及び前記接地領域と前記基板とを電気的に接続することを特徴とする請求項7に記載の半導体集積回路。

【請求項9】 前記ゲート電極と前記基板とを電気的に接続するために設けられた基板コンタクトを有することを特徴とする請求項1～8のうちいずれか1項に記載の半導体集積回路。

20 【請求項10】 基板上のSOI膜上に酸化膜を形成する工程と、前記酸化膜と前記SOI膜を貫通し、前記基板の一部にまで達するコンタクトホールを形成する工程と、LOCOSを形成する工程と、ゲート酸化膜を形成する工程と、ゲート電極を形成する工程と、前記コンタクトホールの側面の一部と底面の一部のゲート酸化膜を除去する工程と、金属配線を形成して前記SOI膜と基板を電気的に接続する工程と、を備えることを特徴とする半導体集積回路の製造方法。

【請求項11】 基板上のSOI膜上に酸化膜を形成する第一工程と、

30 前記酸化膜と前記SOI膜を貫通し、前記基板の一部にまで達するコンタクトホールを形成する第二工程と、

LOCOSを形成する第三工程と、

LOCOS部分以外にゲート酸化膜を形成する第四工程と、

前記ゲート酸化膜上にゲート電極を形成する第五工程と、

前記コンタクトホールの周囲のSOI膜と基板をそれぞれ低抵抗化して第一の低抵抗接続領域と第二の低抵抗接続領域を形成する第六工程と、

40 前記コンタクトホールの側面の一部と底面の一部のゲート酸化膜を除去して、前記第一の低抵抗接続領域及び前記第二の低抵抗接続領域を露出させる第七工程と、

前記第一の低抵抗接続領域及び前記第二の低抵抗接続領域を電気的に接続する第八工程と、を備えることを特徴とする半導体集積回路の製造方法。

【請求項12】 絶縁膜が設けられた基板上のSOI膜上に酸化膜を形成する工程と、

前記酸化膜と前記SOI膜と前記絶縁膜を貫通し、前記基板の一部にまで達するコンタクトホールとアライメン

50

トホールを形成する工程と、
 前記アライメントホールを基準とする露光により、前記絶縁膜まで達するLOCOSを形成する工程と、
 前記LOCOS部分以外にゲート酸化膜を形成する工程と、
 前記ゲート酸化膜上にゲート電極を形成する工程と、
 前記コンタクトホールの周囲のSOI膜と基板をそれぞれ低抵抗化して第一の低抵抗接続領域と第二の低抵抗接続領域を形成するためにイオン注入を行う工程と、
 層間絶縁膜を形成する工程と、
 前記コンタクトホールの周辺部の層間絶縁膜と、前記コンタクトホールの側面の一部と底面の一部のゲート酸化膜と、を除去して、前記第一の低抵抗接続領域及び前記第二の低抵抗接続領域を露出させる工程と、
 前記第一の低抵抗接続領域及び前記第二の低抵抗接続領域を電気的に接続するために金属配線を形成する工程と、を備えることを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI基板上に形成された半導体集積回路に関し、詳しくは、基板の上のSOI膜上に形成される静電保護トランジスタを有する半導体集積回路、及びその製造方法に関する。

【0002】

【従来の技術】SOI膜を有する基板上に形成された従来の静電保護トランジスタの構造を図7に、また、その結線図を図8に示す。図7(A)は上面から見た平面図、図7(B)はゲートの幅方向(a-a)で切断したときの断面図、図7(C)はゲートの長さ方向(b-b)で切断した時の断面図である。従来の静電保護トランジスタは、ゲート電極43、ゲート酸化膜40、チャネル領域57、ソース領域41、ドレイン領域42、接地領域56、配線コンタクト、金属配線58、59、60、層間絶縁膜46から構成される。図示したように、チャネル領域であるSOI膜上にゲート酸化膜40が形成され、チャネル領域57の上にポリシリコンで形成したゲート電極43、さらにその上に層間絶縁膜46が形成されている。ここで静電保護トランジスタは、基本的にN型MOSトランジスタを用いるためチャネル領域のSOI膜はP型となる。場合によってP型トランジスタを用いることもある。SOI層の膜厚が薄いSOIウェハでは、ソース領域41、ドレイン領域42、接地領域56の深さ方向は基板1上の絶縁膜2まで達する。チャネル領域57、ソース領域41、ドレイン領域42、接地領域56以外の部分はLOCOS45が形成されている。そのため、このLOCOS45によって、チャネル領域57、ソース領域41、ドレイン領域42、接地領域56は、それぞれ他のトランジスタのチャネル領域、

ソース領域、ドレイン領域、接地領域と完全に分離されている。

【0003】図8に示すように、従来の静電保護トランジスタの接続は、パッド47と静電保護トランジスタのドレイン領域42を接続し、さらにドレイン領域42は半導体集積回路(内部回路)に接続されている。静電保護トランジスタのソース領域41は半導体集積回路の接地端子と接続されている。ここで、基板上に絶縁膜を介して設けられたSOI膜に形成された静電保護トランジスタでは、ゲート電極43は抵抗48を介して接地端子と接続する。また、バルクウェハ上に形成した静電保護トランジスタと同じレイアウトでSOI膜上に静電保護トランジスタを形成すると、ゲート電極43はフローティングとなる。ソース領域41は接地領域56、接地端子と接続する。ここでSOI膜に形成された接地領域56はバルクウェハ上に形成したトランジスタと異なり、チャネル領域57や基板1とは電気的な接続はない。そのためチャネル領域57の電位はフローティングとなる。

20 【0004】さらに従来の静電保護トランジスタの製造方法を図9~11に基づいて説明する。基板1上に絶縁膜2を介してSOI膜19を形成する(図9(A))。このSOI膜19上に酸化膜50を形成する(図9(B))。次に、この酸化膜50をパターニングしてアライメントマークのための開口部51を形成する(図9(C))。これを熱酸化炉に投入し、熱酸化膜52を形成する(図9(D))。この時、酸化膜50の開口部51に位置するSOI膜のシリコンは酸化膜50が設けられた部分のSOI膜のシリコンより多く酸化される。このため、開口部51の熱酸化膜52は他の部分より厚くなることとなり、熱酸化膜52を除去すると、図9(E)に示すように凹みの段差が形成され、これがアライメントマーク53となる。次に、LOCOS形成のための酸化膜54、窒化膜55を形成し、パターニングを行う(図10(A))。窒化膜55をパターニングしてから、熱酸化炉に投入し、図10(B)に示すようにLOCOS45を形成する。

【0005】次に、窒化膜55、及び、LOCOS45以外の部分の酸化膜54を除去し、その後、ゲート酸化膜40を形成する(図10(C))。さらに、ポリシリコン膜を成膜し、パターニングしてゲート電極43を形成する(図10(D))。次に、図10(E)に示すようにソース・ドレイン領域41、42にN型のイオン注入を行い、さらに図11(A)に示すように接地領域56へのP型のイオン注入を行う。次に図11(C)に示すように層間絶縁膜46を形成する。その後、コンタクトホールを形成し、リフロー工程で層間絶縁膜46の平坦化を行い、図11(13)に示すように金属配線58、59、60を形成する。このように形成された静電保護トランジスタを図8に示したように接続する。

【0006】

【発明が解決しようとする課題】上述したように構成された従来の静電保護トランジスタは、パッドに静電が入ると、ドレイン領域-基板間で表面ブレイクダウンが
おこり、接地レベルである基板方向に電荷が流れてい
く。次に、基板に流れていく電荷により基板の電位が上
昇し、ドレイン領域、チャネル領域、ソース領域間でバイ
ポーラ動作を引き起こして、ドレイン-基板-ソース
という経路で電流が流れていく。

【0007】バルクウェハ上に形成された静電保護ト
ランジスタでは、静電保護トランジスタの周囲に基板コン
タクトを設けることによって基板の電位を接地レベルに
している。しかし、絶縁膜上の半導体膜の厚みが薄いS
OIウェハ上に、従来のCMOS形成方法でトランジスタ
を形成すると、SOI膜の深さ方向が全てソース・ド
レイン領域となるため、従来のトランジスタのように基
板コンタクトをトランジスタの周囲に設けても、チャネ
ル領域の電位（あるいは、基板の電位）はフローティン
グになる。このため、表面ブレイクダウンにより静電保
護トランジスタのチャネル領域に流れ込んできた電荷は
流れ出る場所がなく、チャネル領域の電位を急激に上昇
させる。ここでうまくドレイン領域-チャネル領域-ソ
ース領域のバイポーラ動作を引き起こせばよいが、それ
以上に電荷がチャネル領域に流入した場合、この領域が
非常に小さいため電荷を受け入れるキャパシタが少なく、
静電破壊やジュール熱破壊を引き起こしてしまうという
課題がある。

【0008】また、ドレイン領域-チャネル領域-ソ
ース領域のバイポーラ動作が引き起こった場合、バルクウ
ェハ上に形成した静電保護トランジスタでは、ソース領
域が基板接地領域と接続しているためソース領域に入
った電荷は基板の方に逃げていく。しかし絶縁膜上のSO
I膜の厚みが薄いSOIウェハ上に形成された静電保護
トランジスタではソース領域は直接半導体集積回路の接
地端子と接続しているため、ソース領域に入った電荷は
逃げる場所がなく、接地ラインにつながった他のトラン
ジスタに流れて静電破壊を引き起こす可能性もある。

【0009】さらに、ドレイン領域-チャネル領域-ソ
ース領域のバイポーラ動作が引き起こって、大きな電流
がトランジスタに流れた場合、トランジスタから非常に
大きな発熱を起こす。これまでのバルクウェハ上に形成
したトランジスタでは、トランジスタの下側は基板につ
ながっているため、熱は基板を通して放熱していく。し
かし、SOIウェハではトランジスタの下側は熱伝導率
の悪い酸化膜で覆われているため、トランジスタに電流
が流れた時の発熱量がバルクウェハ上に形成したトラン
ジスタより大きく、熱破壊を引き起こすという課題があ
った。

【0010】また、静電保護トランジスタのゲートを接
地する方法についても課題がある。バルクウェハでの静

電保護トランジスタのゲート電極は抵抗等を介して基板
に落としている。これは直接接地ラインにゲートを接続
してしまうと、接地ラインに逃がした電荷が静電保護ト
ランジスタのゲートに入り、ゲート破壊を起こしてしま
うからである。しかし、SOIウェハでバルクウェハと
同じレイアウトに静電保護トランジスタを形成すると、
ゲート電極はフローティングの状態になる。この状態で
静電等がパッドに入ると、ゲートの電位が不定のため
表面ブレイクダウンが起こらず、パンチスルーによって
電流が流れる。パンチスルーで流すことができる電流は
限られているため、パッドに入ってきた静電気をすべて
逃がすことができず、内部回路の破壊につながるという
課題があった。

【0011】

【課題を解決するための手段】上記課題を解決するた
めに、本発明による静電保護トランジスタを有する半導体
集積回路は、静電保護トランジスタが、ソース領域と、
ドレイン領域と、チャネル領域と、前記チャネル領域の
上にゲート酸化膜を介して設けられたゲート電極と、前
記SOI膜を貫通し前記基板の一部に達する基板コンタ
クトと、前記チャネル領域と前記基板コンタクトを接続
する基板接続領域コンタクトと、前記基板コンタクトと
前記基板接続領域コンタクトに設けられるとともに、前
記チャネル領域と前記基板とを電気的に接続する配線
と、を備えることとした。このような構成により、静電
保護トランジスタのチャネル領域に流れ込んできた電荷
は基板コンタクトを通して基板に流れることとなり、静
電破壊やジュール熱破壊を防止することができる。

【0012】さらに、基板コンタクトが設けられた部位
の基板表面に形成された周囲より低抵抗の低抵抗接続領
域と、基板接続領域コンタクトが設けられた部位のSO
I膜に形成された周囲より低抵抗の低抵抗接続領域と、
の少なくとも一方の低抵抗接続領域を備えることによ
り、チャネル領域と基板との接続を、より低抵抗で確実
に実現することができる。

【0013】さらに、基板接続領域コンタクトが基板コ
ンタクトを囲み、かつ、基板コンタクトを含む配置であ
ることとした。さらに、チャネル領域と同じSOI膜で
形成された接続領域を備え、この接続領域の上にはゲ
ート酸化膜が形成され、前記ゲート酸化膜上の一部のみに
ゲート電極が形成されている。すなわち、接続領域には
ゲート酸化膜を介して、ゲート電極が形成された部分と
形成されてない部分が存在している。このように構成す
ると、ソース領域・ドレイン領域形成のためのイオン注
入工程で、接続領域にソース領域・ドレイン領域のイ
オン種が注入されることを防ぐことが可能になる。

【0014】また、静電保護トランジスタが、ソース領
域と、ドレイン領域と、チャネル領域と、チャネル領域
の上にゲート酸化膜を介して設けられたゲート電極と、
ゲート電極上に設けられた層間絶縁膜と、ソース領域の

上部に設けられた、層間絶縁膜とゲート酸化膜を貫通する配線コンタクトホールと、層間絶縁膜とSOI膜を貫通し基板の一部に達する基板コンタクトと、配線コンタクトホールと基板コンタクトに設けられた、ソース領域と基板とを電氣的に接続する配線と、を備えることとした。このような構成により、ソース領域に入った電荷は配線コンタクトと基板コンタクトを通して基板に逃げることであり、接地ラインにつながった他のトランジスタに流れて静電破壊を引き起こすことがなくなる。

【0015】また、本発明による半導体集積回路の製造方法は、基板上のSOI膜上に酸化膜を形成する工程と、前記酸化膜と前記SOI膜を貫通し、前記基板の一部にまで達するコンタクトホールを形成する工程と、LOCOSを形成する工程と、ゲート酸化膜を形成する工程と、ゲート電極を形成する工程と、前記コンタクトホールの側面の一部と底面の一部のゲート酸化膜を除去する工程と、金属配線を形成して前記SOI膜と基板を電氣的に接続する工程と、を備えることとした。

【0016】また、基板上のSOI膜上に酸化膜を形成する第一工程と、前記酸化膜と前記SOI膜を貫通し、前記基板の一部にまで達するコンタクトホールを形成する第二工程と、LOCOSを形成する第三工程と、LOCOS部分以外にゲート酸化膜を形成する第四工程と、前記ゲート酸化膜上にゲート電極を形成する第五工程と、前記コンタクトホールの周囲のSOI膜と基板をそれぞれ低抵抗化して第一の低抵抗接続領域と第二の低抵抗接続領域を形成する第六工程と、前記コンタクトホールの側面の一部と底面の一部のゲート酸化膜を除去して、前記第一の低抵抗接続領域及び前記第二の低抵抗接続領域を露出させる第七工程と、前記第一の低抵抗接続領域及び前記第二の低抵抗接続領域を電氣的に接続する第八工程と、を備えることとした。

【0017】ここで、基板上には絶縁膜が設けられ、その上にSOI膜が設けられていてもよい。また、第二工程において、酸化膜とSOI膜と絶縁膜を貫通し、基板の一部にまで達するアライメントホールも同時に形成する。第三工程において、アライメントホールを基準とする露光により、絶縁膜まで達するLOCOSを形成する。第六工程において、コンタクトホールの周囲のSOI膜と基板にイオン注入を行うことにより、それぞれを低抵抗化して第一の低抵抗接続領域と第二の低抵抗接続領域を形成する。さらに、第六工程の後に層間絶縁膜を形成する。そして第七工程において、コンタクトホールの周辺部の層間絶縁膜と、前記コンタクトホールの側面の一部と底面の一部のゲート酸化膜とを除去して、第一の低抵抗接続領域及び前記第二の低抵抗接続領域を露出させる。

【0018】

【発明の実施の形態】本発明は、基板の上に絶縁膜を介して設けられたSOI膜上に形成された静電保護トラン

ジスタが、ゲート電極、ソース領域及びドレイン領域、基板コンタクトを備え、基板コンタクトはSOI膜や基板上の絶縁膜を貫通して基板と接続され、さらに基板接続領域コンタクトが静電保護トランジスタのチャネル領域と基板コンタクトを接続している。これにより、パッドに静電が入り、表面ブレイクダウンにより静電保護トランジスタのチャネル領域に流れ込んできた電荷は、基板コンタクトを通して基板に流れ、ドレイン領域-チャネル領域-ソース領域のバイポーラ動作を引き起こす。そして多くの電荷がチャネル領域に流入した場合でも、電荷を受ける領域はチャネル領域だけでなく、基板もつながっているので静電破壊やジュール熱破壊にいたってしまうということとはなくなる。

【0019】また本発明では、静電保護トランジスタのソース領域と基板コンタクトを接続している。これにより、ドレイン領域-チャネル領域-ソース領域のバイポーラ動作が引き起こって、ソース領域に入った電荷は基板コンタクトを通して基板に逃げるので、接地ラインにつながった他のトランジスタに流れて静電破壊を引き起こす可能性はない。

【0020】さらに本発明では、静電保護トランジスタのゲート電極と基板コンタクトを接続している。これによりゲート電位は基板と同じ電位になるため、ゲート電位不定によって表面ブレイクダウンが起こらないという問題はなくなり、パッドに入ってきた静電気は表面ブレイクダウンを起こして、ドレイン領域-チャネル領域-ソース領域のバイポーラ動作を引き起こし、ソース領域へ電荷を逃がすことができる。

【0021】また本発明では、基板の上のSOI膜上に酸化膜を形成する工程と、前記酸化膜、前記SOI膜、前記基板上の絶縁膜を貫通し、前記基板の一部にまで達するエッチングを行う工程と、LOCOSを形成する工程と、ゲート酸化膜を形成する工程と、ゲート電極を形成する工程と、ソース領域形成、ドレイン領域形成、接続領域形成、基板コンタクト、基板接続領域コンタクトの低抵抗化のためのイオン注入を行う工程と、層間絶縁膜を形成する工程と、基板コンタクト、基板接続領域コンタクトを形成する工程と、金属配線を形成する工程からなる。これにより、SOIウェハの基板にアライメントマークを形成する工程で、基板コンタクトのホールも形成することができ、工程の削減となる。これまで、アライメントマークを形成するために酸化工程とエッチング工程で段差を作っていたが、基板コンタクトを形成する工程でアライメントマークも形成するので、工程の増加は抑えられる。さらに、基板の上に絶縁膜を介して設けられたSOI膜の膜厚が薄い場合、酸化膜形成工程を多用することができないので、アライメントマークの形成のために酸化工程を行うことや酸化膜厚を厚くしてアライメントマークの段差をかせぐことはできない。しかし、本発明による製造方法では、エッチングによって凹

みを形成し、アライメントマークとして用いるため、アライメントマークが形成できないという問題点やアライメントマークの段差が少なく、マークが確認できないという問題点も解決することができる。

【0022】

【実施例】本発明の実施例を図1に基づいて説明する。本発明の静電保護トランジスタを上面から見た平面図を図1(A)に、本発明の静電保護トランジスタをゲートの幅方向(a-a)で切断した断面図を図1(B)に、本発明の静電保護トランジスタをゲートの長さ方向(b-b)で切断した断面図を図1(C)に示す。本実施例に関わる静電保護トランジスタは、ゲート電極6、ゲート酸化膜14、チャネル領域3、ソース領域7、ドレイン領域8、接地領域9、接続領域15、基板コンタクト4、基板接続領域コンタクト5、配線コンタクト10、金属配線12、13、16、17、層間絶縁膜11を備えている。チャネル領域3や接続領域15であるSOI膜の上にゲート酸化膜14が形成され、チャネル領域3の上と接続領域15の一部の上にポリシリコンで形成したゲート電極6、さらにその上に層間絶縁膜11が形成されている。ここで静電保護トランジスタには、基本的にN型MOSTランジスタを用いるため、チャネル領域3及び接続領域15の半導体膜はP型となる。場合によってP型トランジスタを用いることもあるが、ここではN型トランジスタを基に説明する。図1(A)の平面図で示すように、ソース領域7とドレイン領域8はそれぞれゲート電極6の両側に形成され、N型にイオン注入して形成する。また接地領域9はP型にイオン注入して形成する。SOI層の膜厚が薄いSOIウェハでは、ソース領域7、ドレイン領域8、接地領域9の深さ方向は基板1上の絶縁膜2まで達する。ドレイン領域8は、層間絶縁膜11とゲート酸化膜14を貫通した配線コンタクト10を介して金属配線12と接続される。また、ソース領域7および接地領域9は、層間絶縁膜11、ゲート酸化膜14を貫通して、ソース領域7と接地領域9の両方にまたいだ配線コンタクトを介して金属配線13と接続される。チャネル領域3、ソース領域7、ドレイン領域8、接地領域9、接続領域15、基板コンタクト4、基板接続領域コンタクト5以外の部分はLOCOS18が形成されている。LOCOS18は、基板1の上の絶縁膜2まで達している。そのため、LOCOS18によって、チャネル領域3、ソース領域7、ドレイン領域8、接地領域9、接続領域15は、他のトランジスタのチャネル領域、ソース領域、ドレイン領域、接地領域、接続領域と完全に分離されている。

【0023】ここで、本発明による静電保護トランジスタは、チャネル領域3の一部からゲート電極6の幅方向に伸びた接続領域15(アクティブ領域)を設ける。この接続領域15は、SOI膜で形成されている。接続領域15上には、ゲート酸化膜14が形成されており、さ

らにその上にはゲート電極6が接続領域15の一部にオーバーラップするように設けられている。このゲート電極6のオーバーラップは、ソース領域7・ドレイン領域8を形成する時のイオン注入工程で接続領域15にソース・ドレイン領域のイオン種が注入されるのを防ぐためのものである。接続領域15は、一方が基板接続領域コンタクト5、基板コンタクト4につながっている。基板コンタクト4は、層間絶縁膜11、ゲート酸化膜14、接続領域15、基板1上の絶縁膜2を貫通して基板1の一部まで開けられたホールである。

【0024】また基板接続領域コンタクト5は基板コンタクト4より大きく、基板コンタクト4を囲むような配置で形成する。そして層間絶縁膜11、ゲート酸化膜14を貫通して接続領域15の一部まで開けられたホールである。このため基板コンタクト4、基板接続領域コンタクト5の断面図は図1(B)に示すように、一段段差を持ったコンタクトホールとなる。ここに、金属配線16が埋め込まれ、チャネル領域3、接続領域15、基板接続領域コンタクト5、金属配線16、基板コンタクト4、基板1が電気的に接続され、チャネル領域3と基板1との接続を確実にする。上記の構造は部分空乏型トランジスタのレイアウトと似ているが、チャネル領域3が基板1と接続していることが本発明の大きな特徴となっている。

【0025】ここで、基板1と金属配線16、接続領域15と金属配線16の接続は、そのままで接触させても接触抵抗が大きいため、金属配線16と接触する接続領域15や基板1の部分は、接続領域15、基板1と同じイオン種で濃度の高いイオン注入を行い、接触抵抗を下げる。さらに本実施例では、ソース領域7、接地領域9やゲート電極6の接地方法において特徴的な構造を示している。図1(C)に示すように、接地領域9の近くにLOCOS18をはさんで基板コンタクト4を形成し、ソース領域7、接地領域9と接続された金属配線13と基板コンタクト4を接続する。これによりソース領域7、接地領域9は基板1と電気的に接続される。またゲート電極6もトランジスタアクティブ領域から離れたところに形成された基板コンタクト4と金属配線17を介して接続する。これによりゲート電極6も基板1と電気的に接続される。

【0026】次に各部分の結線を図2に基づいて説明する。ICチップのパッド20に接続された本発明の静電保護トランジスタは、ドレイン領域8がパッド20と集積回路の内部回路に接続され、ゲート電極6はポリシリコンや拡散領域で形成した抵抗21を介して基板コンタクト4と接続され、ソース領域7は接地領域9と接続し、かつ、基板コンタクト4と接続する。チャネル領域3は接続領域15を介して基板接続領域コンタクト5と接続し、基板接続領域コンタクト5は金属配線16により基板コンタクト4と接続している。以上の結線により

チャネル領域3、ゲート電極6、ソース領域7、接地領域9は同電位となる。ここで、基板1は基板コンタクト4を介して内部回路の接地端子と接続されることが望ましい。しかし、内部回路の動作上、基板1の電位を接地電位にできない場合には、ソース領域7及び接地領域9は、基板1と接続せずに内部回路の接地端子と接続する。この場合、接地端子に流れ込んできた静電気の電荷が内部回路のトランジスタに流れ込まないような回路の工夫が必要となる。

【0027】次に本発明の静電保護トランジスタの動作について説明する。ICチップのパッド20に入ってきた静電気は静電保護トランジスタのドレイン領域7に入る。ここで、ゲート酸化膜15、ドレイン形状等で決まる電圧で表面ブレークダウンが起こる。すると、電荷はチャネル領域3、接続領域15、基板接続領域コンタクト5、金属配線16及び基板コンタクト4を通して基板1へと流れていく。次に、電荷が基板1の方に流れていくことにより電圧降下が起こり、チャネル領域3の電位が上昇する。すると、ドレイン領域8、チャネル領域3、ソース領域7間でのバイポーラ動作がオンし、ドレイン領域8からソース領域7に向かって電荷が流れる。さらにドレイン領域8-チャネル領域3-ソース領域7のバイポーラ動作が引き起こって、大きな電流がトランジスタに流れた場合、トランジスタから非常に大きな発熱を起こす。しかし上述した構造のため、電流が流れた時のチャネル領域3の発熱は、接続領域15、基板接続領域コンタクト5、金属配線16、基板コンタクト4を通して基板1に逃げていくので、熱がチャネル領域3に溜まって熱破壊にいたってしまうという問題はなくなる。

【0028】ここでソース領域7と接地領域9が基板コンタクト4と接続していない場合には、ソース領域7と接地領域9が内部回路の接地端子と接続することになるが、前述したバイポーラ動作によって大量の電荷が接地端子に流れ込み、接地端子に接続された内部回路のトランジスタを破壊してしまう可能性がある。このため本実施例の特徴の1つである、ソース領域7と接地領域9を基板コンタクト4と接続することで、バイポーラ動作による大量の電荷流入を基板1に逃がすことが可能になり、内部回路のトランジスタを破壊してしまうという恐れはなくなる。

【0029】さらに、接続領域15や、基板コンタクト4及び基板接続領域コンタクト5における比抵抗を上げておいてもよい。これはパッド20に静電気が入り、静電保護トランジスタに表面ブレークダウンが起こって、チャネル領域3から接続領域15を通して基板1に電荷が流れ込むとき、接続領域15や、基板コンタクト4及び基板接続領域コンタクト5における比抵抗が高いと基板1に電荷が流れていく時に生じる電圧降下が大きくなり、チャネル領域3の電位を早く上昇させるので、より

確実にドレイン領域8、チャネル領域3、ソース領域7の間でバイポーラ動作が行われ、静電気を逃がすことができる。

【0030】また、本発明による他の実施例の静電保護トランジスタの構成を図3に示す。本実施例による静電保護トランジスタでは、チャネル領域3と基板1との接続をする基板コンタクト4、基板接続領域コンタクト5の設置場所に特徴がある。すなわち、図3に示すように、チャネル領域と基板との接続をする基板コンタクト4及び基板接続領域コンタクト5の設置場所はソース領域7、ドレイン領域8に隣接し、かつ、ゲート電極6とも隣接した位置に設ける。これら基板コンタクト4、基板接続領域コンタクト5の周囲は基板の極性と同じP型のイオン注入を行う。これによりチャネル領域3の電位は基板接続領域コンタクト5、基板コンタクト4を介して基板1と同電位になる。ここで接地領域9のレイアウトが問題となる。基板コンタクト4、基板接続領域コンタクト5の周囲は基板の極性と同じP型である。そのため、図1に示すようなソース領域7と接地領域9のレイアウトでは接地領域9がチャネル領域3と直接接続されてしまうことになる。このような状態で、静電気がトランジスタに入ってソース領域7に電荷が流れ込むと、接地領域9からチャネル領域3へと電荷が逆流し、ゲート酸化膜14を破壊してしまう恐れがある。そこで本実施例では、基板コンタクト4、基板接続領域コンタクト5の設置場所がソース領域7、ドレイン領域8に隣接し、かつゲート電極6に隣接している場合は、図3に示すように接地領域9はソース領域7とLOCOS18で囲まれ、基板コンタクト4、基板接続領域コンタクト5の周囲のP型領域と接することがないレイアウトにする。上記のように基板コンタクト4、基板接続領域コンタクト5をソース領域7・ドレイン領域8とゲート電極6に隣接することで接続領域15を持たずにチャネル領域3と基板1を接続することができ、省スペース化が図られる。

【0031】さらに接地領域9をソース領域7とLOCOS18で囲み、接地領域9が基板コンタクト4及び基板接続領域コンタクト5の周囲のP型領域と接することがないレイアウトにすることで、ソース領域7に流れ込んだ電荷が接地領域9からチャネル領域3へと逆流し、ゲート酸化膜14を破壊してしまう恐れもなくなる。一方、バルクウェハで静電保護トランジスタを形成した場合には、ゲート電極6の接地方法は抵抗を介して基板と接続している。これは直接ゲート電極6と接地端子を接続した場合、接地端子に入った静電気は直接ゲート電極6に入ってゲート酸化膜14を破壊してしまうからである。SOI層19の膜厚が薄いSOIウェハに、バルクウェハと同じ構造、レイアウトで静電保護トランジスタを形成すると、ゲート電極6を基板と接続する部分は周囲、底面を酸化膜で囲まれることとなり、どこにも接続

していない状態になる。このためゲート電極6の電位は不安定になり、静電保護トランジスタの動作原理である表面ブレイクダウンが起こりにくくなる。このため、大量の電荷を逃がすことができるバイポーラ動作に入らず、内部回路の静電破壊を起こしてしまう。これを防ぐために、ゲート電極6に抵抗値の高い抵抗20を介して接地端子と接続する方法もある。しかし、抵抗値を上げるためには抵抗20を長くしなければならず、面積が必要になるという問題点がある。これに対し、上述した本発明のそれぞれの実施例ではゲート電極6を金属配線17、基板コンタクト4を介して基板1と接続し、さらに基板1は半導体集積回路内で金属配線、基板コンタクト4を介して接地端子と接続しているため、ゲート電極6の電位が接地電位に固定されて表面ブレイクダウンが起こりやすくなり、接地端子から入ってくる静電気がゲート電極6にはいってゲート酸化膜14を破壊するというともなくなる。

【0032】次に、本発明の静電保護トランジスタの製造方法を図4から図8に基づいて説明する。まず、図4(A)に示すような基板1の上に絶縁膜2を介して設けられたSOI膜19を持つSOIウェハに、100Å厚程度の酸化膜30を形成する(図4(B))。この酸化膜30は、SOI膜19の表面を保護すると同時に、ウェル形成時のイオンインプラのダメージ低減にも必要である。次に図4(C)に示すように、酸化膜30上にレジスト31を塗布する。レジスト31はアライメントマークと基板コンタクトを形成するエッチングのマスクとして機能する。次に、露光を行い、図4(D)に示すように、基板コンタクトを形成するための開口部33、及び、アライメントマーク32を形成する。次に、図4(E)に示すように、レジスト31をマスクとして、酸化膜30、SOI膜19、絶縁膜2を貫通し、基板1の一部までをドライエッチングでエッチングする。エッチング時間が長いとレジスト31がもたない場合がある。この場合は酸化膜30上に窒化膜を形成し、窒化膜をマスクとしてドライエッチングする。この工程により、基板1上のすべての膜(絶縁膜2、SOI膜19)にアライメントマークが形成されたことになる。従来、アライメントマーク32の形成は酸化膜形成による段差で形成していたが、薄いSOI層19を持つSOIウェハではSOI層19の厚み以上の段差をつけることができない。そのためSOI層19が500Å程度のSOIウェハではアライメントマークの段差は500Å以下となり、アライメントが困難となる。そこで本発明の実施例では、アライメントマークをSOI層19、絶縁膜2、基板1の一部を貫通するエッチングを行うことで形成している。これによりアライメントは確実となり、この工程以降にある成膜、膜除去の工程でアライメントマークが消失してしまうという不具合はなくなる。さらにこのアライメントマーク形成時に基板1とのコンタクトホー

ルも形成してしまうので、工程の削減にもなる。

【0033】次に、図5(A)に示すように、レジスト31、酸化膜30を除去する(窒化膜をドライエッチングのマスクとした場合にはドライエッチングで窒化膜を除去する)。次に、LOCOS18を形成する工程に入る。すなわち、SOIウェハに熱酸化膜34を160Å程度形成し、さらにその上に窒化膜35を1600Å程度形成する。次に、アライメントマーク32にあわせてアライメントと露光を行い、窒化膜35をエッチングして、LOCOS形成のための開口部36を作る(図5(B))。この状態で、熱酸化炉に投入し、開口部36にLOCOS18を形成する。LOCOS厚は、LOCOS18が基板1上の絶縁膜2に達するように形成する。LOCOS18が形成された後、窒化膜35を除去し、さらに、LOCOS18以外の部分の酸化膜をすべて除去し、その後、ゲート酸化工程に進む。

【0034】ここで、本実施例のように、アライメントマーク32の形成と同時に基板コンタクト4を形成していることにより以下のような効果を得る。窒化膜35の除去にリン酸のウェットエッチングを用いるが、リン酸は窒化膜をエッチングするだけでなく、シリコンもエッチングしてしまう。そのため基板コンタクト4やアライメントマーク32は酸化膜で覆われていなければならない。本実施例では基板コンタクト4やアライメントマーク32を形成後、熱酸化工程、窒化膜形成工程と進むので、基板コンタクト4やアライメントマーク32は酸化膜に覆われており、リン酸のウェットエッチングで基板コンタクト4やアライメントマーク32の側壁及び底面のシリコンがエッチングされるという不具合はない。

【0035】次に、図5(D)に示すように、LOCOS部分以外に熱酸化によりゲート酸化膜14を形成する。ここでゲート酸化工程以降のアライメント工程では、アライメントマーク32にあわせてアライメントがなされる。すなわち、このアライメントマーク32は、エッチングによって形成されており、SOI膜19、絶縁膜2を貫通し、基板1の一部まで達しており、そのため、基板1の一部が凹んでいる。

【0036】次に、ゲート酸化膜14上にポリシリコンを3000Å成膜し、アライメントマーク32を基準にアライメントと露光を行い、ポリシリコンをドライエッチングしてゲート電極6を形成する(図5(E))。次に、図6(A)に示すようにトランジスタのソース領域7、ドレイン領域8を形成するためのイオン注入を行う。本実施例の静電保護トランジスタでは、N型トランジスタを用いているのでN型のイオンを注入する。

【0037】次に、図6(B)に示すように、接地領域9へのイオン注入と、基板コンタクト4及び基板接続領域コンタクト5と金属配線12、13、16、17との接触抵抗を低減する拡散接続領域(低抵抗接続領域)37を形成するためのイオン注入を同時に行う。このイオ

ン注入では、基板コンタクト4の周囲及び底面にイオン注入されるようにパターニングしてインプラを行う。ここでイオン注入するイオン種は、静電保護トランジスタがN型トランジスタなので、P型のイオン種をイオン注入することになる。

【0038】次に、ゲート電極6上に層間絶縁膜11を成膜し、その後、図6(C)に示すように、基板コンタクト4、基板接続領域コンタクト5、配線コンタクト10のホールをドライエッチングで形成する。ここで基板コンタクト4と基板接続領域コンタクト5の位置関係が重要である。基板コンタクト4ホールの側壁は、ゲート酸化工程を通っているため酸化膜で覆われている。したがって、基板コンタクト4に金属を埋め込んでも接続領域15と基板1は電気的な接続を取ることはできない。そこで基板コンタクト4を囲み、基板コンタクト4より大きいサイズの基板接続領域コンタクト5を設け、この基板接続領域コンタクト5に金属を埋め込むことにより、接続領域15と基板1との電気的接続が可能となる。

【0039】次に、リフローを行って層間絶縁膜11の平坦化を行った後、図6(D)に示すように、メタルを成膜、パターニングして、基板コンタクト4、基板接続領域コンタクト5、ソース/ドレイン/接地領域の配線コンタクト9上やゲート電極6上に金属配線12、13、16、17を形成する。

【0040】

【発明の効果】以上説明したような構成及び方法によって、以下に記載されるような効果を有する。本発明は、基板の上のSOI膜上に形成された静電保護トランジスタが、ゲート電極、ソース領域及びドレイン領域、基板コンタクトから構成され、基板コンタクトは、SOI膜、基板上の絶縁膜を貫通して基板と接続され、さらに基板接続領域コンタクトが静電保護トランジスタのチャンネル領域と基板コンタクトを接続している。これにより、パッドに静電気が入り、静電保護トランジスタに表面ブレークダウンがおこって、静電保護トランジスタのチャンネル領域に電荷が流れ込んでくるが、この領域が基板と接続されているため、電荷を受け入れるキャパシタが大きくなり、静電破壊やジュール熱破壊に至らずに静電気を逃がしてくれるという効果がある。さらにドレイン領域-チャンネル領域-ソース領域のバイポーラ動作が引き起こって、大きな電流がトランジスタに流れた場合、トランジスタから非常に大きな発熱を起こす。しかし上記のような構造のため、電流が流れた時のチャンネル領域の発熱は、接続領域、基板接続領域コンタクト、金属配線、基板コンタクトを通して基板に逃げていくので、熱がチャンネル領域に溜まって熱破壊にいたってしまうという問題は無くなる。

【0041】また本発明では、基板接続領域コンタクトが基板コンタクトを囲み、かつ、基板コンタクトを含む

配置である。このため基板コンタクトと基板接続領域コンタクトの段面構造は一段段差を持ったコンタクトホールとなり、接続領域と基板との電気的な接続を確実にすると共に、省スペース化にも効果を発揮する。また本発明では、静電保護トランジスタのソース領域と基板コンタクトを接続している。これにより、ドレイン領域-チャンネル領域-ソース領域のバイポーラ動作が引き起こって、ソース領域に入った電荷は基板コンタクトを通して基板に逃げるので、接地ラインにつながった他のトランジスタに流れて静電破壊を引き起こす可能性はない。

【0042】さらに本発明では、静電保護トランジスタのゲート電極と基板コンタクトを接続している。これによりゲート電位は基板と同じ電位になるため、ゲート電位不定によって表面ブレークダウンが起こらないという問題はなくなり、パッドに入ってきた静電気は表面ブレークダウンを起こして、ドレイン領域-チャンネル領域-ソース領域のバイポーラ動作を引き起こし、ソース領域へ電荷を逃がすことができる。

【0043】また接続領域や基板コンタクトの比抵抗を上げておくことで、基板に電荷が流れていく時に生じる電圧降下が起こりやすくなり、チャンネル領域の電位を上昇させるので、より確実にドレイン領域、チャンネル領域、ソース領域の間でバイポーラ動作が行われ、静電気を逃がすことができるという効果がある。また本発明による静電保護トランジスタでは、基板とチャンネル領域を接続する基板コンタクトがソース領域、ドレイン領域と隣接し、かつ、ゲート電極とも隣接した位置に形成される。これにより、チャンネル領域から伸びた接続領域を持たずに基板とのコンタクトをとることができ、省スペース化が図られる。さらに、チャンネル領域と基板コンタクトまでの距離が短いので、チャンネル領域の電位を固定しやすくなる。

【0044】さらに本発明による静電保護トランジスタの製造方法では、基板の上に絶縁膜を介して設けられたSOI膜上に酸化膜を形成する工程と、前記酸化膜、前記SOI膜、前記基板上の絶縁膜を貫通し、前記基板の一部にまで達するエッチングを行う工程と、LOCOSを形成する工程と、ゲート酸化膜を形成する工程と、ゲート電極を形成する工程と、ソース領域形成、ドレイン領域形成、接続領域形成、基板コンタクト、基板接続領域コンタクトの低抵抗化のためのイオン注入を行う工程と、層間絶縁膜を形成する工程と、基板コンタクト、基板接続領域コンタクトを形成する工程と、金属配線を形成する工程からなる。これにより、SOIウェハの基板にアライメントマークを形成する工程で、基板コンタクトのホールも形成することができ、工程の削減となる。これまで、アライメントマークを形成するために酸化工程とエッチング工程で段差を作っていたが、基板コンタクトを形成する工程でアライメントマークも形成するので、工程の増加は抑えられる。さらに、基板の上に絶縁

17

膜を介して設けられたSOI膜の膜厚が薄い場合、酸化膜形成工程を多用することができないので、アライメントマークの形成のために酸化工程を行うことや酸化膜厚を厚くしてアライメントマークの段差をかせぐことはできない。しかし、本発明による製造方法では、エッチングによって凹みを形成し、アライメントマークとして用いるため、アライメントマークが形成できないという課題やアライメントマークの段差が少なく、マークが確認できないという課題も解決することができる。また本発明では基板コンタクトやアライメントマーク形成後、熱酸化工程、窒化膜形成工程と進むので、基板コンタクトやアライメントマークは窒化膜除去工程時、酸化膜に覆われており、リン酸のウェットエッチングで基板コンタクトやアライメントマークの側壁及び底面のシリコンがエッチングされるという不具合はなくなる。

【図面の簡単な説明】

【図1】本発明の静電保護トランジスタの構造を示す図である。

【図2】本発明の静電保護トランジスタの結線図である。

【図3】本発明の静電保護トランジスタの他の実施例を示す図である。

【図4】本発明の静電保護トランジスタの製造方法を示すプロセスフロー図(1)である。

【図5】本発明の静電保護トランジスタの製造方法を示すプロセスフロー図(2)である。

【図6】本発明の静電保護トランジスタの製造方法を示すプロセスフロー図(3)である。

【図7】従来の静電保護トランジスタの構造図である。

【図8】従来の静電保護トランジスタの結線図である。

【図9】従来の静電保護トランジスタの製造方法を示す

18

プロセスフロー図(1)である。

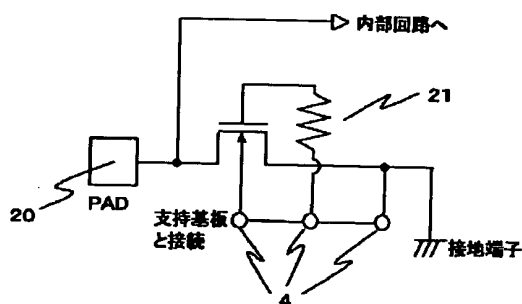
【図10】従来の静電保護トランジスタの製造方法を示すプロセスフロー図(2)である。

【図11】従来の静電保護トランジスタの製造方法を示すプロセスフロー図(3)である。

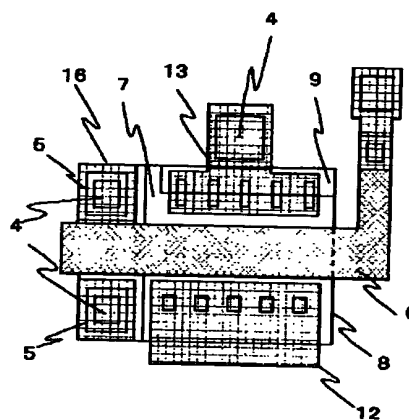
【符号の説明】

- 1 基板
- 2 絶縁膜
- 3 チャンネル領域
- 4 基板コンタクト
- 5 基板接続領域コンタクト
- 6、43 ゲート電極
- 7、41 ソース領域
- 8、42 ドレイン領域
- 9、56 接地領域
- 10 配線コンタクト
- 11、46 層間絶縁膜
- 12、13、16、17 金属配線
- 14、40 ゲート酸化膜
- 15 接続領域
- 18、45 LOCOS
- 19 SOI膜
- 20、47 パッド
- 21、48 抵抗
- 30、34、50、52、54 酸化膜
- 31 レジスト
- 35、55 窒化膜
- 32、53 アライメントマーク
- 33、36、51 開口部
- 37 拡散接続領域

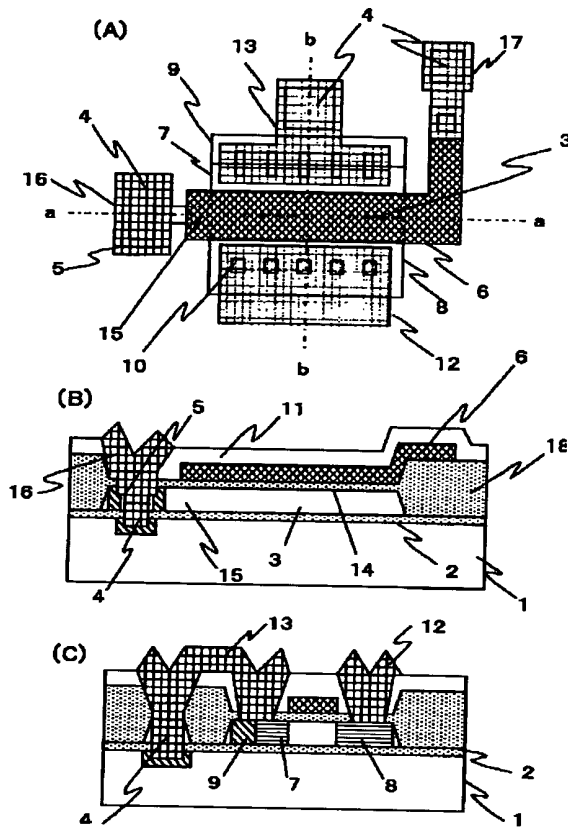
【図2】



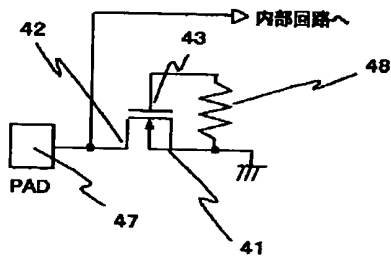
【図3】



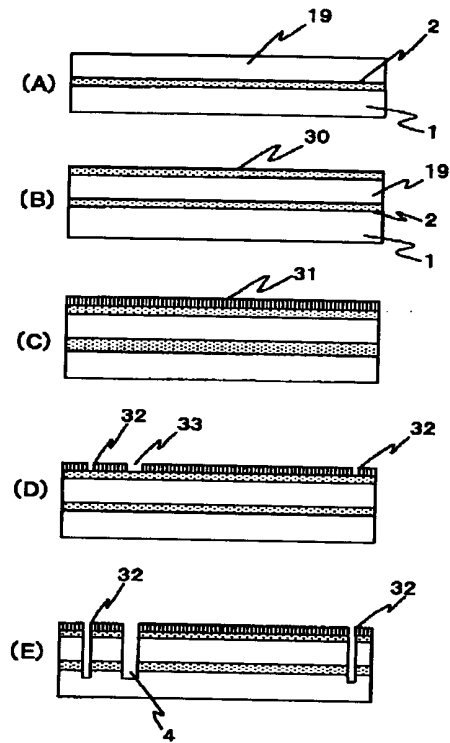
【図1】



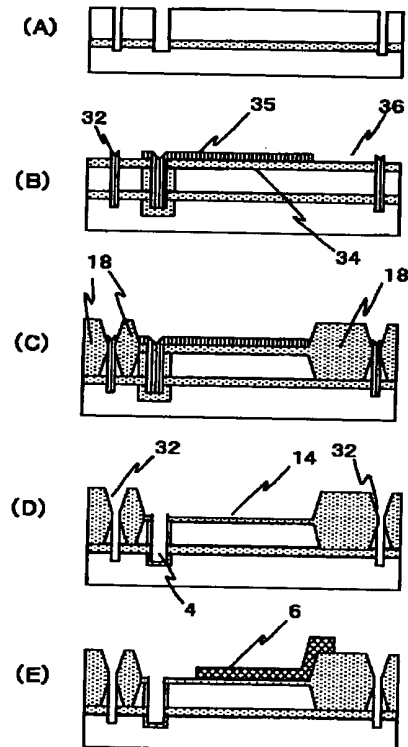
【図8】



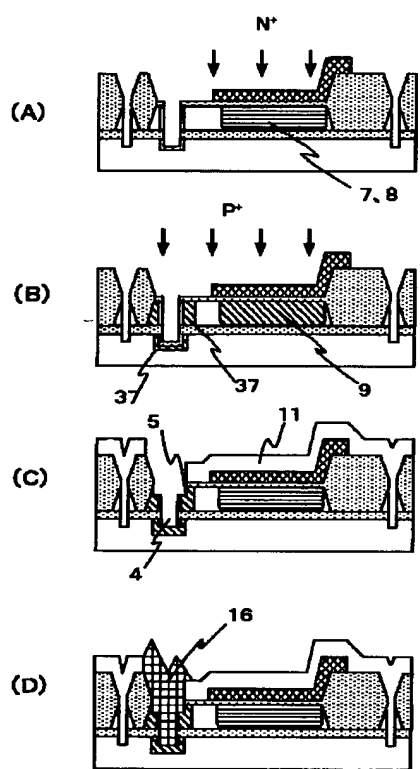
【図4】



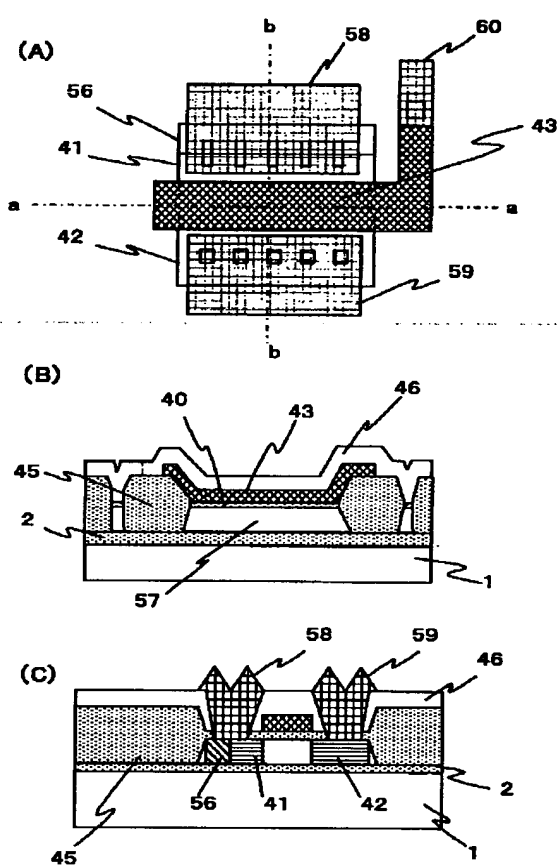
【図5】



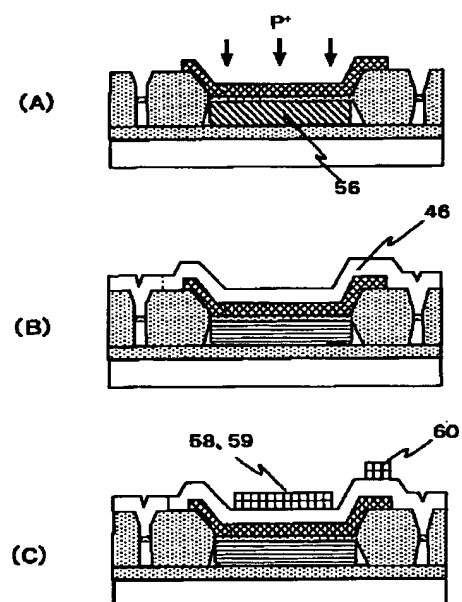
【図6】



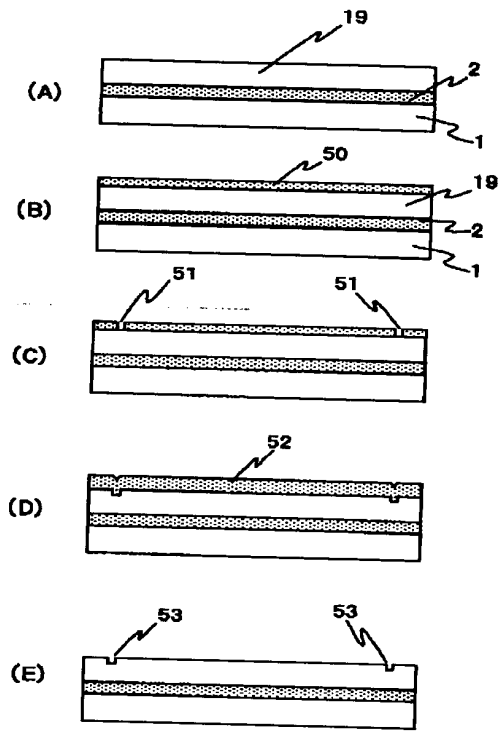
【図7】



【図11】



【図9】



【図10】

